

Lötbarkeit von chemisch verzinnnten Leiterplatten nach verschiedenen Belastungssimulationen und Lagerungszuständen (Echtzeit)

Inhaltsverzeichnis

1. Einleitung
2. Untersuchungsobjekt (Leiterplatten)
3. Wellenlötsimulation an gealterten Leiterplatten
4. Zusammenfassung

1. Einleitung

Die vorliegende Untersuchung dient der Bestimmung der Lötbarkeit von Reinzinnoberflächen ($0,8\mu\text{m}$) nach unterschiedlichen Lagerdauern (frisch, $\frac{1}{2}$ Jahr, 1 Jahr unter Normalatmosphäre) und nach verschiedenen Belastungssimulationen (ohne Alterung, 1x Reflow, 2x Reflow). In der Untersuchung sollen Unterschiede im Benetzungsverhalten herausgearbeitet werden. Die Untersuchung ist eine Ergänzung zum Projekt PN 394956 vom 09.10.2009.

Die Echtzeitlagerung fand in den Räumlichkeiten der APL Oberflächentechnik GmbH in Lörrach statt. Die Testleiterplatten wurden ohne spezielle Folienverpackung oder Klimatechnik gelagert. Sie waren den natürlichen Temperaturschwankungen und klimatischen Einflüssen ausgesetzt. Die Untersuchungen wurden am Fraunhofer ISIT im November 2014 durchgeführt.

2. Untersuchungsobjekt (Leiterplatten)

Es wurde eine Musterplatine (Bilder 1, 2) verwendet, die im Vorfeld der Untersuchung verschiedene Zustände aufwies.

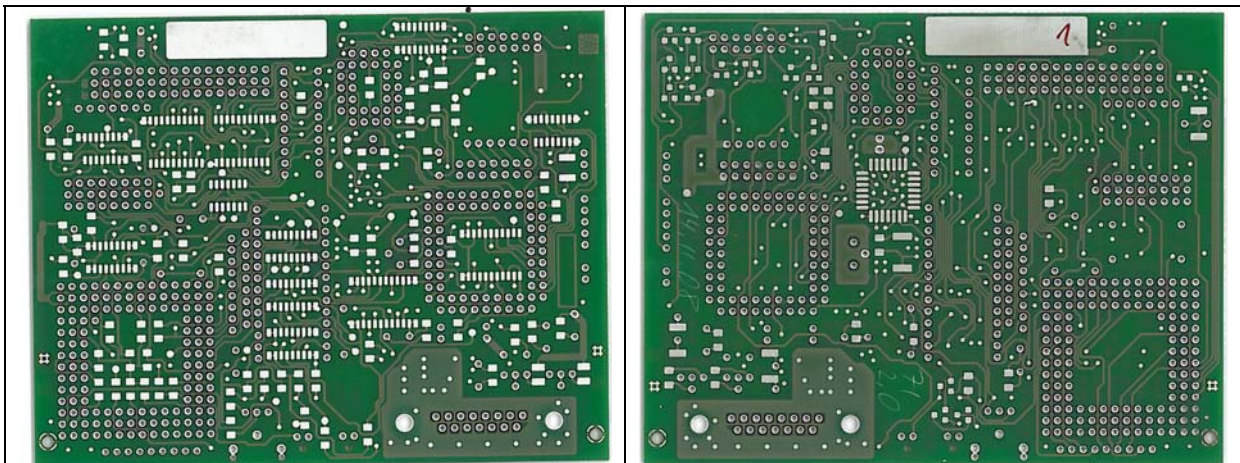


Bild 1: Leiterplatte – „Reflowlötseite“

Bild 2: Leiterplatte - Wellenlötseite

Folgende Zustände wurden durch die Fa. APL Oberflächentechnik GmbH geliefert:

Fertigungsdatum	Echtzeitlagerung APL	Künstliche Alterung ISIT	Lötprozess ISIT	Platte	X-Ray APL 11.11.2014 [µm]	Couloscope FEM [µm]	Delta IM [µm]
11.11.14	A	A	X	1	0,889		
11.11.14	A	A	X	2	0,847		
11.11.14	A	A	---	3	0,869	0,64	0,229
11.11.14	A	B	X	1	0,860		
11.11.14	A	B	X	2	0,887		
11.11.14	A	B	---	3	0,849	0,12	0,729
11.11.14	A	C	X	1	0,870		
11.11.14	A	C	X	2	0,841		
11.11.14	A	C	---	3	0,862	0,06	0,802
07.05.14	B	A	X	1	0,889		
08.05.14	B	A	X	2	0,899		
09.05.14	B	A	---	3	0,887	0,48	0,407
14.05.14	B	B	X	1	0,816		
15.05.14	B	B	X	2	0,888		
16.05.14	B	B	---	3	0,873	0,09	0,783
22.05.14	B	C	X	1	0,889		
23.05.14	B	C	X	2	0,841		
26.05.14	B	C	---	3	0,860	0,04	0,82
06.11.13	C	A	X	1	0,924		
07.11.13	C	A	X	2	0,906		
08.11.13	C	A	---	3	0,901	0,47	0,431
13.11.13	C	B	X	1	0,957		
14.11.13	C	B	X	2	0,901		
15.11.13	C	B	---	3	0,911	0,11	0,801
20.11.13	C	C	X	1	0,879		
21.11.13	C	C	X	2	0,894		
22.11.13	C	C	---	3	0,894	0,04	0,854

1. Buchstabe: Echtzeitlagerung APL A=ohne; B=1/2 a; C=1 a
 2. Buchstabe: künstliche Alterung ISIT A=ohne; B=1xReflow; C=2xReflow
 3. Kennung: Lötung ISIT X=Wellenlötung; --- =keine Lötung
 4. Nummer: Probanden 1+2 für Lötung, 3 für Couloscope

Für jede Probe wurde im Vorfeld eine Röntgenfluoreszenz-Untersuchung durchgeführt, die entsprechenden Werte sind in der Spalte „X-Ray APL“ vermerkt. Diese Messwerte zeigen die Gesamtschichtdicke der Metallisierung, also die Summe aus der Dicke der intermetallischen Phase und der Restzinnschichtdicke. Man erkennt recht gut, wie sich die Restzinnschichtdicke durch die Echtzeitlagerung verringert (neu: 0,64µm, ½ Jahr Lagerung: 0,48 µm, 1 Jahr Lagerung: 0,47 µm).

Noch größer ist der Einfluss durch die künstliche Alterung (Reflowlötung), hier verringern sich die Restzinnschichtdicken noch stärker (neu: 0,64µm, 1xReflow 0,12 µm, 2xReflow 0,06 µm). Im folgenden Text wird die Auswirkung der Restzinnschichtdicken-Reduktion auf die Lötbarkeit beleuchtet.

Es wurden Versuche mittels Wellenlötung durchgeführt. Es wurden 3 Alterungszustände (ohne, 1x Reflow, 2x Reflow) erzeugt und dann die entsprechenden Lötungen durchgeführt. Für die Reflow –Alterung wurde ein bleifreies Lötprofil mit einer Peaktemperatur von ca. 245°C unter Stickstoffatmosphäre verwendet (Bild 3).

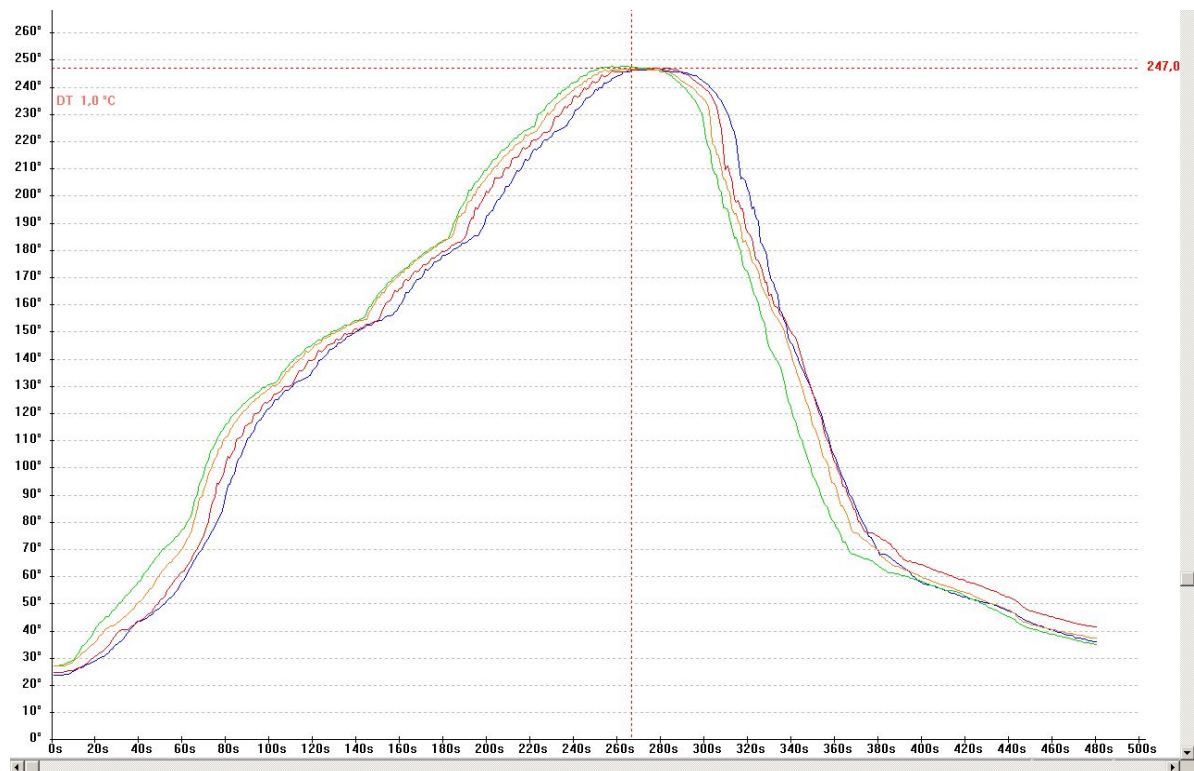


Bild 3: verwendetes Lötprofil

Hierbei handelt es sich um ein Standardprofil für das bleifreie Reflowlöt (gemäß IPC 7095B) als Deiecksprofil.

3. Wellenlötversuche an gealterten Leiterplatten

Für die Wellenlötversuche wurde die Wellenlötanlage vom Typ ERSA N-Wave 330 verwendet. Die Lötversuche wurden unter Stickstoff durchgeführt.



Bild 4: ERSA N-Wave 330

Zunächst wurde eine frische Leiterplatte im Wellenlötprozess gelötet. Folgende Parameter wurden für den Wellenlötprozess gewählt:

Lot:	SAC305 (SnAg3,0Cu0,5)
Flussmittel:	Cobar 323ITM, No Clean, Feststoffanteil: 2.27%
	Klasse 1.2.2.A nach ISO 9454-1
	Klasse REL1 nach IPC-ANSI-J-STD-004
	Klasse 1.2.3.N_II nach JIS Z 3197
Temperatur:	265°C
Vorheizung Konvektion:	120°C
Vorheizung IR:	300°C
Vorheizung Hellstrahler:	60/40/50/60
Aktivierungstemperatur:	130°C
(Leiterplattenoberseite nach Vorheizung)	
Durchlaufgeschwindigkeit:	110cm/min
Benetzungslänge Vorwelle:	1,5-2cm
Benetzungslänge Hauptwelle:	4cm
Rotorgeschwindigkeit Welle 1:	370 1/min
Rotorgeschwindigkeit Welle 2:	460 1/min
Fluxauftrag:	7/14

Bei der Wellenlötung wurden im Ausgangszustand alle erreichbaren Padflächen/Durchkontaktierungen sowohl auf der Wellenlötseite als auch auf der Reflowlötseite vollständig benetzt (Bilder 5.1, 5.2). Alle folgenden Bilder zeigen die Bauteilseite auf der Leiterplatte, also die wellenabgewandte Seite. Man erkennt, dass bei den Leiterplatten mit Echtzeitlagerung vereinzelte Benetzungsdefizite der Padflächen auf der Bauteilseite zu registrieren sind (Bilder 5.3-5.6). Der Lotdurchstieg durch die Hülse ist allerdings immer vollständig.

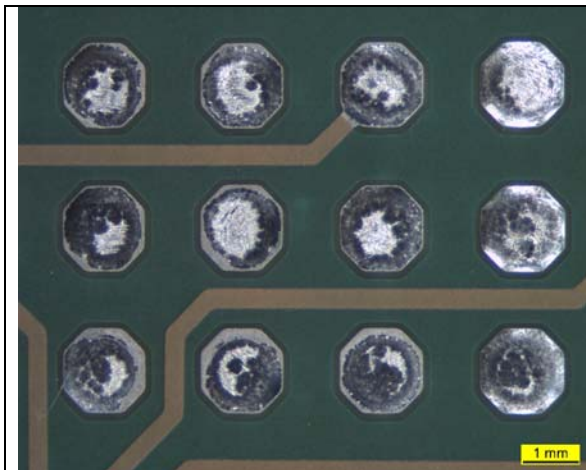


Bild 5.1: Wellenlötung, neue Leiterplatte ohne Echtzeitlagerung, ohne Alterung

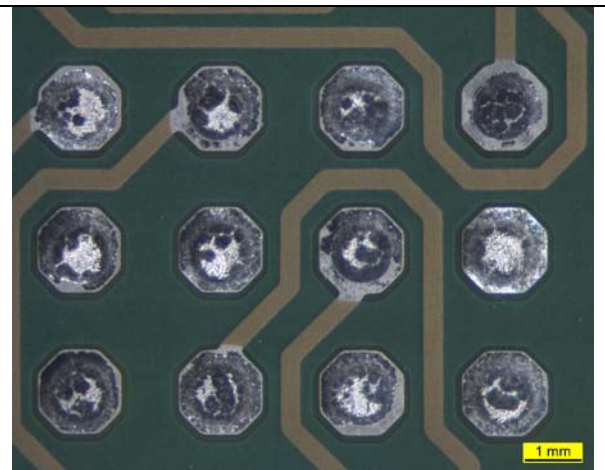


Bild 5.2: Wellenlötung, neue Leiterplatte ohne Echtzeitlagerung, ohne Alterung

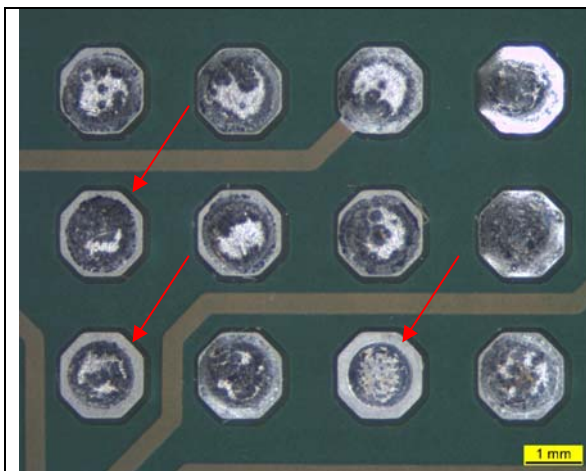


Bild 5.3: Wellenlötung, 1/2 Jahr Echtzeitlagerung, ohne Alterung

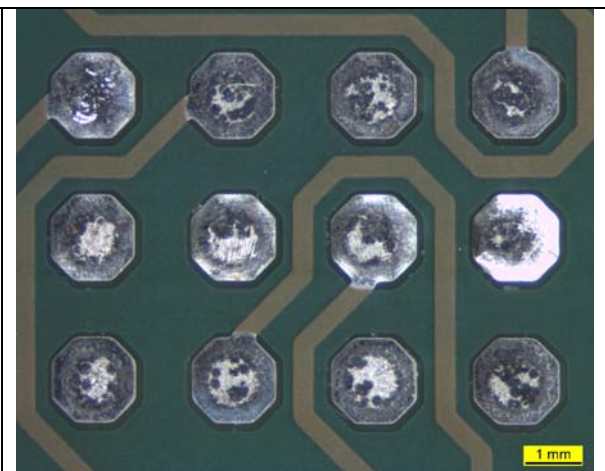
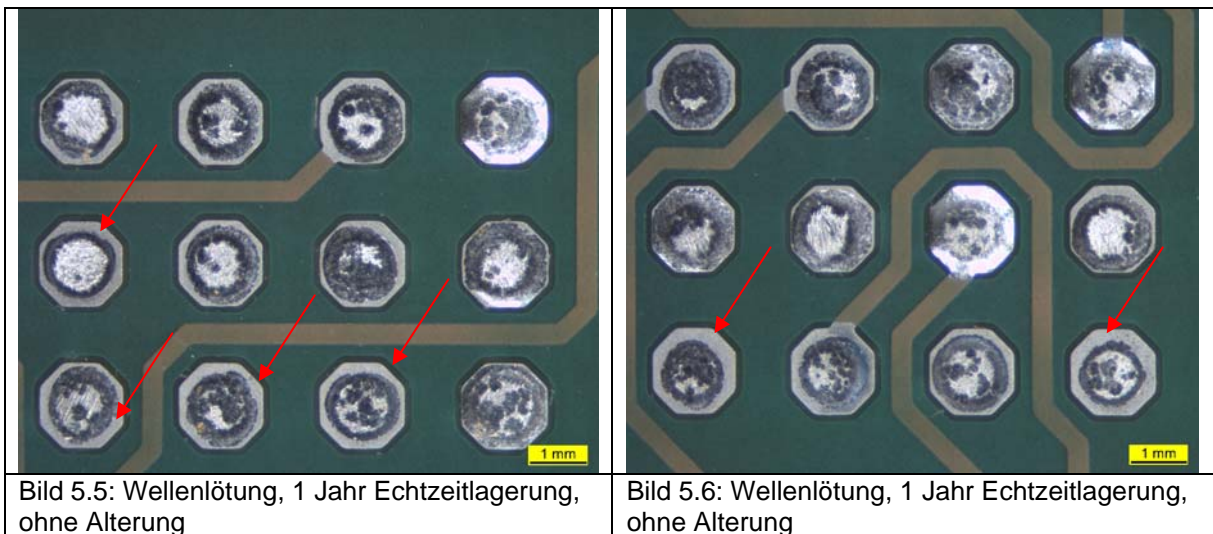
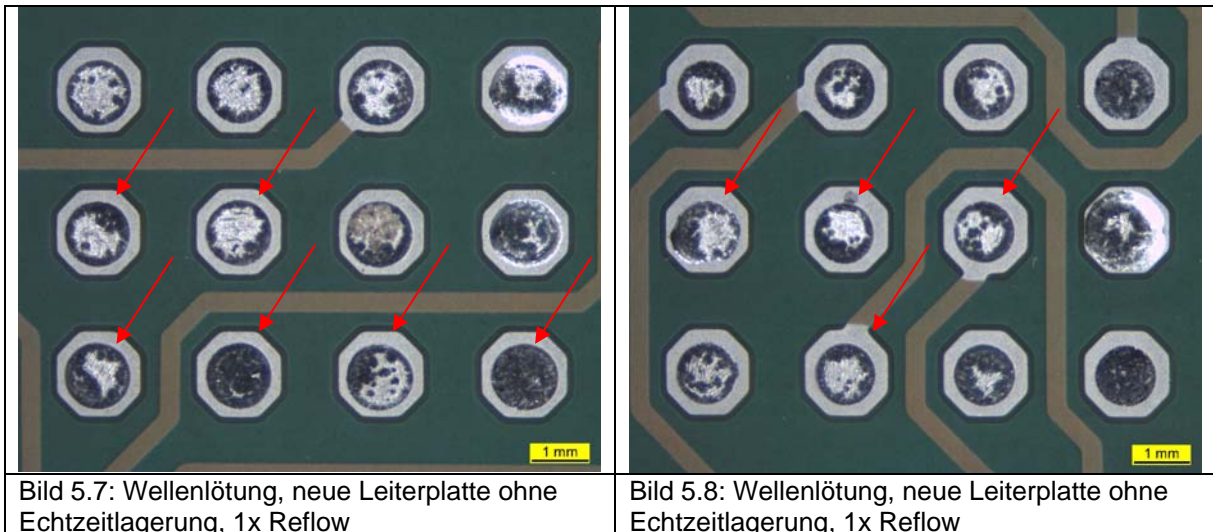


Bild 5.4: Wellenlötung, 1/2 Jahr Echtzeitlagerung, ohne Alterung



Noch deutlicher werden die Benetzungsdefizite bei den Proben mit künstlicher Alterung (Reflowlötung). Nach einmaliger Reflowbelastung benetzen die bauteilseitigen Padflächen nicht mehr vollständig (Bilder 5.7, 5.8).



Daraus lässt sich schließen, dass der Einfluss eines Lötprozesses auf die Benetzungsfähigkeit größer ist als eine Echtzeitlagerung über längere Zeiträume (hier: 1 Jahr). Man erkennt jedoch auch, dass der Einfluss des 1. Lötprozesses stärker ist als der der nachfolgenden Wärmebehandlungen (Alterungen). In den Bilder 5.9, 5.10 ist das worst-case-Szenario der Untersuchung gezeigt (1 Jahr Echtzeitlagerung, Alterung: 2x Reflow)

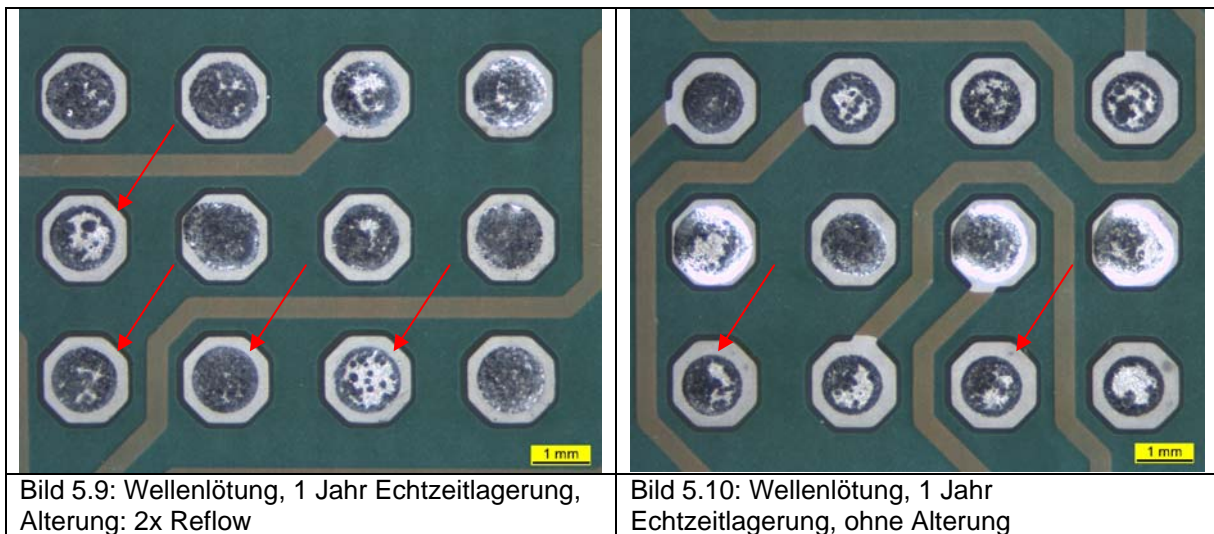


Bild 5.9: Wellenlötung, 1 Jahr Echtzeitlagerung, Alterung: 2x Reflow

Bild 5.10: Wellenlötung, 1 Jahr Echtzeitlagerung, ohne Alterung

Man erkennt, dass praktisch keine weitere Verschlechterung der Benetzungsfähigkeit eintritt. Diese Erkenntnis bestätigen auch die Couloscope-Messungen, die den stärksten IP-Phasenzuwachs nach der ersten Reflowalterung anzeigen.

4. Zusammenfassung

Zusammenfassend kann man folgende Erkenntnisse aus den Untersuchungen gewinnen:

- Leiterplattenhülsen vollständig gefüllt, somit Benetzungsfähigkeit i.O., auch nach 2 maliger Reflowalterung
- eine einmalige Reflowbelastung wirkt sich stärker auf das Benetzungsverhalten aus als eine einjährige Lagerung unter Echtzeitbedingungen

Die Ergebnisse entsprechen den Resultaten der Untersuchung zum Projekt PN 394956 aus dem Jahr 2009. Auch dort konnte man nach mehrmaliger Reflowalterung kaum weitere Verschlechterungen der Benetzungsfähigkeit beobachten. Den größten „Benetzungseinbruch“ gibt es nach der ersten Reflowalterung, danach erfolgt keine signifikante weitere Verschlechterung bei bis zu 6 Reflowdurchgängen (PN 394956). Die hier speziell durchgeführte Post-Dip-Behandlung der Leiterplatten nach dem Verzinnungsprozess ist eine mögliche Erklärung für diesen Effekt. In einer weiteren Untersuchung könnte versucht werden, die Effekte der Post-Dip-Behandlung im Vergleich zu einer herkömmlichen Verzinnung (ohne Post-Dip) näher darzustellen.